



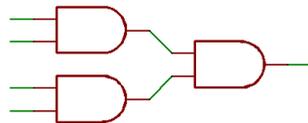
Übungen zu Rechnerstrukturen: Hardwareentwurf

1. Übungsblatt

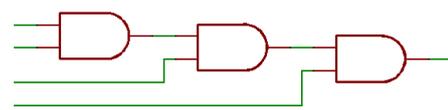
Besprechung: 30. April 2009

1 Low-Power-Entwurf

1. Die Kernspannung von Prozessoren ist seit den 1980er-Jahren von 5V auf 0.8V gesenkt worden. Im gleichen Zeitraum stieg die Frequenz von 1MHz auf 1GHz. Was bedeutet dies für die aufgenommene elektrische Leistung?
2. Zum Übertakten von Prozessoren wird die Kernspannung erhöht. Warum ist dies so? Wie fließt die Kernspannungserhöhung in die Leistungsaufnahme ein und was bedeutet dies?
3. Welcher Bestandteil der Leistungsaufnahme war früher vernachlässigbar, spielt heute jedoch eine überaus zentrale Rolle?
4. Gegeben seien folgende zwei Implementierungen derselben, auf 3 Und-Gattern basierenden Schaltfunktion. Welche Auswirkung ergibt sich hinsichtlich des Schaltverhaltens?



Variante 1



Variante 2

2 Schaltungsentwurf mit VHDL

1. Erstellen Sie je eine VHDL-Beschreibung der XOR-Funktion auf Basis der Funktionsbeschreibung, der booleschen Beschreibung und als Wertetabelle.
2. Eine zu entwickelnde Zählerschaltung soll folgendes Verhalten aufweisen:
 - Ein low-aktives Rücksetzsignal löscht den Zähler.
 - Über ein Richtungssignal wird bestimmt, ob der Zähler mit der steigenden Flanke eines Taktsignals aufwärts (=0) oder abwärts (=1) zählt.
 - Es wird nur gezählt, wenn der Zähler mit einem high-aktiven Auswahl-Signal freigeschaltet ist.
 - Der Zähler soll 64 Zählschritte ausführen können.
 - Ein low-aktives Freigabesignal entscheidet, ob der Zählerausgang auf einen gemeinsamen Bus gelegt werden soll; bei nicht erfolgter Freigabe werden die Ausgabeleitungen in den tri-state-Zustand geschaltet.

Erstellen Sie die zugehörige Schnittstellenbeschreibung und formulieren Sie die entsprechende Verhaltensbeschreibung in VHDL.

3. Der Zähler soll um eine Über-/Unterlaufsfunktion ergänzt werden, d.h. beim Wechsel von 63 auf 0 (Aufwärtszählen) bzw. 0 auf 63 (Abwärtszählen) wird für die Dauer eines Taktes ein Anzeigesignal ausgegeben; hierbei soll das Rücksetzsignal nicht fälschlicherweise das Überlaufssignal auslösen. In der Entity sei hierzu das zusätzliche signal `ovl` vom Typ `std_logic` mit Modus `out` deklariert.
 - Erweitern Sie die Verhaltensbeschreibung aus der vorigen Teilaufgabe um eine Lösung, bei der das Überlaufssignal außerhalb des Prozesses erzeugt wird.
 - Erweitern Sie die Verhaltensbeschreibung aus der vorigen Teilaufgabe um eine Lösung, bei der das Überlaufssignal rein innerhalb des Prozesses erzeugt wird. Was ist bei dieser Lösung zu beachten und warum? Wozu würde das Überlaufssignal in dieser Implementierung synthetisiert?